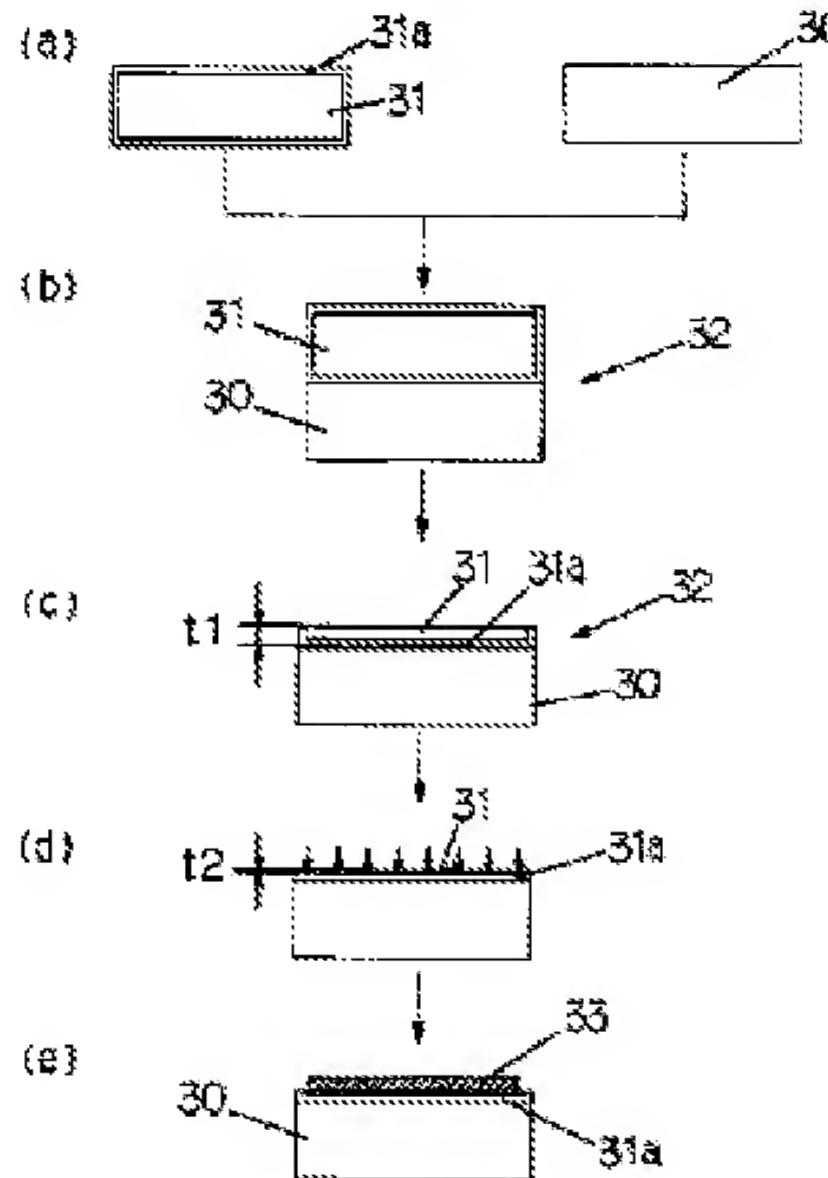


MANUFACTURE OF SEMICONDUCTOR DEVICE**Publication number:** JP2000173994**Publication date:** 2000-06-23**Inventor:** ARITA KIYOSHI; HAJI HIROSHI**Applicant:** MATSUSHITA ELECTRIC IND CO LTD**Classification:****- international:** H01L21/302; C23F4/00; H01L21/3065; H05H1/46;
H01L21/02; C23F4/00; H05H1/46; (IPC1-7): H05H1/46;
H01L21/3065; C23F4/00**- European:****Application number:** JP19980343908 19981203**Priority number(s):** JP19980343908 19981203[Report a data error here](#)**Abstract of JP2000173994**

PROBLEM TO BE SOLVED: To efficiently etch a silicon substrate uniformly at a low cost to reduce the cost. **SOLUTION:** The manufacturing method comprises steps of manufacturing an Si substrate 32 having an Si-on-sapphire (SOI) structure from an Si substrate 31 with an oxide film 31a formed thereon, and cutting the Si substrate 31 having the oxide film 31a into a thin film. The plasma etching condition applied to this thin film forming step is such that the product PL of the discharge pressure P of a mixed gas contg. O and F to be fed into a treating chamber and the inter-electrode distance L ranges between 2.5 Pa.m and 15 Pa.m, in which condition the plasma discharge is executed between the parallel flat plate electrodes.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-173994
(P2000-173994A)

(43)公開日 平成12年6月23日(2000.6.23)

(51)Int.Cl.⁷
H 01 L 21/3065
C 23 F 4/00
// H 05 H 1/46

識別記号

F I
H 01 L 21/302
C 23 F 4/00
H 05 H 1/46
C 4 K 057
A 5 F 004
M

テーマコト^{*}(参考)

審査請求 未請求 請求項の数4 OL (全 8 頁)

(21)出願番号 特願平10-343908

(22)出願日 平成10年12月3日(1998.12.3)

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 有田 潔
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 土師 宏
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 100097445
弁理士 岩橋 文雄 (外2名)

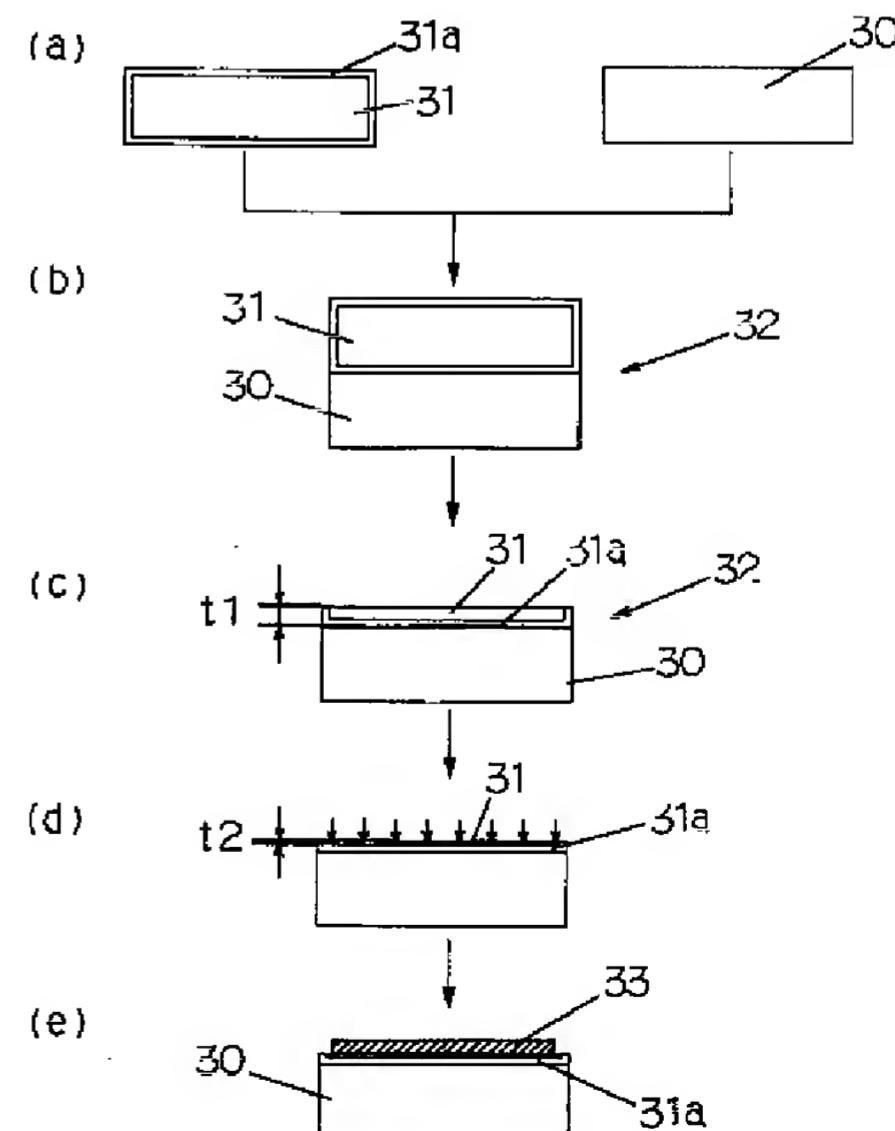
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 シリコン基板のエッチングを効率よく低成本で均一に行い、コストダウンを図ることができる半導体装置の製造方法を提供することを目的とする。

【解決手段】 酸化膜31aが形成されたシリコン基板31からSOI構造を有するシリコン基板32を作製し、この酸化膜31aが形成されたシリコン基板31を削って薄膜化する工程を含む半導体装置の製造方法において、前記薄膜化する工程に適用するプラズマエッチングの条件を、処理室内に供給される酸素とフッ素ガスを含む混合ガスの放電圧力Pと電極間距離Lの積PLが $2.5 [Pa \cdot m] \sim 15 [Pa \cdot m]$ の範囲の値となる条件下でこの平行平板電極間でプラズマ放電を行わせるようにした。これにより、低成本・高効率のエッチングを行って半導体装置のコストダウンを図ることができる。



30 シリコンウェハ
31 酸化膜付シリコンウェハ

【特許請求の範囲】

【請求項1】表面に酸化膜が形成されたシリコン基板を別のシリコン基板の表面に貼り合わせて接合することによりSOI構造を有するシリコン基板を作製する第1の工程と、前記酸化膜が形成されたシリコン基板を削って薄膜化する第2の工程と、薄膜化したシリコン上に回路を形成する第3の工程を有し、前記第2の工程において、処理室内に対向して配置された平行平板電極の一方の電極上に前記シリコン基板を載置してプラズマエッチングを行い、このプラズマエッチングにおいて前記処理室内に酸素とフッ素ガスを含む混合ガスを供給し、前記平行平板電極の電極間距離L [m]と前記処理室内の混合ガスの圧力P [Pa]の積PLが2.5 [Pa·m]～15 [Pa·m]の範囲の値となる条件下でこの平行平板電極間でプラズマ放電を行わせることを特徴とする半導体装置の製造方法。

【請求項2】シリコン基板の表面に回路を形成する第1の工程と、このシリコン基板の裏面を削って薄膜化する第2の工程とを含み、この第2の工程において、処理室内に対向して配置された平行平板電極の一方の電極上に前記シリコン基板を載置してプラズマエッチングを行い、このプラズマエッチングにおいて前記処理室内に酸素とフッ素ガスを含む混合ガスを供給し、前記平行平板電極の電極間距離L [m]と前記処理室内の混合ガスの圧力P [Pa]の積PLが2.5 [Pa·m]～15 [Pa·m]の範囲の値となる条件下でこの平行平板電極間でプラズマ放電を行わせることを特徴とする半導体装置の製造方法。

【請求項3】前記電極間距離は、3 [mm]～7 [m]の範囲の値であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】前記混合ガスにおける酸素の体積比率が、5%～20%の範囲であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン基板にプラズマエッチング加工を行って半導体装置を製造する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】半導体装置などに用いられるシリコン基板の加工方法としてプラズマエッチングが知られている。この方法は被処理物を減圧された処理室内に置き、処理室内にプラズマ発生用のガスを供給して処理室内に配置された電極に高周波電圧を印加することによりプラズマを発生させ、この結果発生したイオンや電子などのエッチング作用を加工に利用するものである。従来プラズマエッチングに用いられる条件として、プラズマ放電を発生させる電極間距離を30～80mm程度に設定し、処理室内の圧力を1～10Pa程度まで減圧した状

態でプラズマエッチングが行われていた。

【0003】

【発明が解決しようとする課題】ところが、上記従来のプラズマエッチングには以下に述べるような問題点があった。まず、上記のような高真空度でプラズマエッチングを行った場合には、エッチングによって表面が除去される速度を示すエッチングレートが0.1μm/分程度であり、所要除去量が多い場合にはエッチング処理に長時間を要するとともに、高真空度が求められるため各処理サイクルごとに長い排気時間を必要とし、前述のエッチングレートの低さと相まって全体の処理効率を更に低下させこととなっていた。

【0004】また高真空度を必要とするため真空系に高い設備コストを要すること、および処理対象物は高真空中に置かれるためこの対象物の保持に真空吸着を用いることができず、高価な静電吸着や機械的な固定方法が用いられていたことなどから、設備の簡略化が困難で設備費用の低減が困難であった。更に、従来のプラズマエッチングには、電極間に発生するプラズマを均一に発生させることが困難で、処理対象物に部分的なエッチング効果のばらつきが生じ、安定したエッチング処理が困難であった。このように従来の半導体装置の製造方法においては、シリコン基板のエッチング加工を効率よく低成本でしかも均一に行うことが困難であり、半導体装置のコストダウンを阻害するという問題点があった。

【0005】そこで本発明は、シリコン基板のエッチングを効率よく低成本で均一に行い、コストダウンを図ることができる半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】請求項1記載の半導体装置の製造方法は、表面に酸化膜が形成されたシリコン基板を別のシリコン基板の表面に貼り合わせて接合することによりSOI構造を有するシリコン基板を作製する第1の工程と、前記酸化膜が形成されたシリコン基板を削って薄膜化する第2の工程と、薄膜化したシリコン上に回路を形成する第3の工程を有し、前記第2の工程において、処理室内に対向して配置された平行平板電極の一方の電極上に前記シリコン基板を載置してプラズマエッチングを行い、このプラズマエッチングにおいて前記処理室内に酸素とフッ素ガスを含む混合ガスを供給し、前記平行平板電極の電極間距離L [m]と前記処理室内の混合ガスの圧力P [Pa]の積PLが2.5 [Pa·m]～15 [Pa·m]の範囲の値となる条件下でこの平行平板電極間でプラズマ放電を行わせるようにした。

【0007】請求項2記載の半導体装置の製造方法は、シリコン基板の表面に回路を形成する第1の工程と、このシリコン基板の裏面を削って薄膜化する第2の工程とを含み、この第2の工程において、処理室内に対向して配置された平行平板電極の一方の電極上に前記シリコン基

板を載置してプラズマエッチングを行い、このプラズマエッチングにおいて前記処理室内に酸素とフッ素ガスを含む混合ガスを供給し、前記平行平板電極の電極間距離L[m]と前記処理室の混合ガスの圧力P[Pa]の積PLが2.5[Pa·m]～15[Pa·m]の範囲の値となる条件下でこの平行平板電極間でプラズマ放電を行わせるようにした。

【0008】請求項3記載の半導体装置の製造方法は、請求項1または2記載の半導体装置の製造方法であって、前記電極間距離は、3[mm]～7[mm]の範囲の値であるようにした。

【0009】請求項4記載の半導体装置の製造方法は、請求項1または2記載の半導体装置の製造方法であって、前記混合ガスにおける酸素の体積比率が5%～20%の範囲であるようにした。

【0010】各請求項記載の発明によれば、半導体装置の製造工程においてシリコン基板の薄化の目的で行われるプラズマエッチングにおいて、平行平板電極間の間隔と処理室の混合ガスの圧力との積がエッチング率を向上させる所定範囲の値となるようにエッチング条件を設定することにより、低コスト・高効率のエッチングを行って半導体装置のコストダウンを図ることができる。

【0011】

【発明の実施の形態】(実施の形態1) 図1は本発明の実施の形態1のプラズマエッチング装置の断面図、図2は同プラズマエッチング装置のエッチングレートを示すグラフ、図3は同プラズマエッチング条件を示すグラフ、図4は同半導体装置の製造方法の工程説明図である。

【0012】まず図1を参照してプラズマエッチング装置について説明する。図1においてベース部材1には開口部1aが設けられており、開口部1aに嵌入して下方より下部電極3が絶縁部材2を介して装着されている。ベース部材1には、上方より蓋部材4が気密に当接する。蓋部材4、下部電極3およびベース部材1により閉囲される空間は、下部電極3上に載置される被処理基板7をプラズマエッチング処理する処理室5となっている。図示しない上下動手段によって蓋部材4を上下動させることにより、処理室5は開閉され基板7の搬入・搬出を行うことができる。基板7はシリコンもしくは酸化珪素などのシリコン化合物を主な材質としている。

【0013】蓋部材4の上部には、上部電極6の支持部6aが気密に挿通しており、上部電極6の下面と、下部電極3の上面は略平板状で対向した配置となっている。すなわち、上部電極6と下部電極3は平行平板電極となっている。なお上部電極6の下面および下部電極3の上面は完全な平板状である必要はなく、多少の凹凸を有する形状であっても良い。また、蓋部材4を上部電極として兼用する構造でも良い。

【0014】支持部6aを上下させて処理室5内の上

部電極6の高さ位置を調整することにより、上部電極6の下面と下部電極3の上面との間の距離L(以下、電極間距離Lと略称する。)を所定値に設定可能となっている。すなわち、支持部6aは電極間距離設定手段となっている。なおこの電極間距離設定手段は、装置稼働時に電極間距離Lを調整して設定するものであっても、また装置製作時に電極間距離Lが設定され装置稼働時には電極間距離Lを固定して使用するものであっても良い。

【0015】上部電極6の下面にはガス孔6cが多数設けられており、ガス孔6cは支持部6aの内部に設けられたガス供給孔6bと連通している。ガス供給孔6bはバルブ11を介してガス供給部10と接続されている。ガス供給部10は、ガス供給手段であり5～20%の体積比率の酸素ガスと、6フッ化硫黄(SF₆)や4フッ化炭素(CF₄)などのフッ素系ガスを含む混合ガスを供給する。

【0016】ベース部材1には給排気孔1aが設けられており、給排気孔1aにはバルブ17を介して排気用真空ポンプ16が接続されている。処理室5が閉じた状態で、排気用真空ポンプ16を駆動することにより処理室5内は排気され減圧される。真空計18によって真空中度を検出し、検出結果に基づいて制御部20によって排気用真空ポンプ16を制御することにより、処理室5内部は制御部20に予め設定されている所定の真空中度まで到達する。

【0017】ガス供給部10から前記混合ガスを処理室5内にガス孔6cを介して供給するとともに、真空計18によって処理室5内のガス圧力を検出し検出結果に基づいて制御部20によってバルブ11を制御することにより、処理室5内の混合ガスの圧力P、すなわちプラズマエッチングのためのプラズマ放電時の混合ガスの圧力(以下、放電圧力と略称)Pを制御部20に予め設定されている所定圧力に設定することができる。したがって、混合ガスの圧力Pを制御するガス供給部19、バルブ11、真空計18、および制御部20は、積PLの値が所定範囲の値になるように放電圧力Pを制御する制御手段となっている。

【0018】また給排気孔1aには大気導入用バルブ19が接続されており、大気導入用バルブ19を開くことにより、処理室5内には真空破壊用の空気が導入される。下部電極3の上面には多数の吸着孔3bが設けられており、吸着孔3bは下部電極3の内部に設けられた吸引孔3aに連通している。吸引孔3aは基板吸着用真空ポンプ13とバルブ12を介して接続されている。下部電極3上に基板7が載置された状態で、基板吸着用真空ポンプ13を駆動して吸着孔3bから処理室5内の真空中度より高い真空中度、すなわち処理室5内の圧力より低い圧力で吸引することにより、基板7は下部電極3に真空吸着により保持される。したがって吸着孔3bおよび基板吸着用真空ポンプ13は、基板7を真空吸引によって

保持する保持手段となっている。

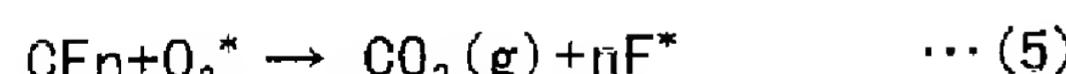
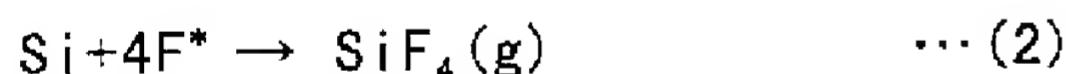
【0019】下部電極3の内部には、冷却用の管路3cが設けられている。管路3cは冷却手段である冷却装置14と接続されており、冷却装置14と管路3c内を水などの冷却媒体を循環させることにより、プラズマエッティング処理時に発生する熱を冷却媒体に吸収させて、処理対象基板7を冷却することができる。これにより、すでに片面に回路が形成された基板に対しても過熱による回路に対するダメージを生じることなくエッティング処理を行うことができる。

【0020】下部電極3は同調回路部を備えた高周波電源部15と電気的に接続されている。高周波電源部15を駆動することにより、下部電極3には高周波電圧が印加される。処理室5内を真空排気した後にガス供給部10によって前述の混合ガスを処理室5内に供給し、処理室内を所定の圧力に保った状態で、下部電極3に高周波電圧を印加することにより、下部電極3と上部電極6の間にはプラズマ放電が発生する。

【0021】制御部20は、真空計18の検出結果を受け、基板吸着用真空ポンプ13、冷却装置14、高周波電源部15、排気用真空ポンプ20の各部、およびバルブ11、12、17を制御することにより、プラズマエッティング装置全体の動作制御を行う。これにより、下部電極3上に載置された基板7を対象としてプラズマエッティング処理が行われる。このプラズマエッティング処理について(化1)に示す反応式に基づいて説明する。

【0022】

【化1】



【0023】(化1)の(1)式に示すように、 CF_4 を含む混合ガスにプラズマ放電が行われることにより、 CF_4 はガス状のフッ素ラジカル $F^*(g)$ と同じくガス状の3フッ化炭素ラジカル $CF_3^*(g)$ に変化する。この $F^*(g)$ が処理対象基板7の成分である Si に作用することにより、(2)式に示すように Si はガス状の SiF_4 となって基板7の表面から蒸散して除去される。そして(1)式の反応より発生した CF_3^* は(3)式に示すようにCと $3F^*$ に分離し、ここで発生したCに F^* が作用することにより(4)式に示すように CF

nが発生する。

【0024】そしてこの CF_n に混合ガス中の酸素ガスがプラズマによってラジカル化した O_2^* が作用することにより、(5)式に示すように $CO_2(g)$ と nF^* が発生する。この F^* は(2)式の反応に寄与して Si を除去する。このように、酸素とフッ素系ガスの混合ガスのプラズマ中に Si を成分とする基板7を載置することにより、基板表面の Si を除去するエッティング処理を行うことができる。なお、 CF_4 の替りに SF_6 を使用しても同様のエッティング効果を得ることができる。

【0025】次に図2、図3を参照して上述のプラズマエッティング処理におけるエッティング速度を表すエッティングレートと、プラズマエッティング条件との関連について説明する。図2は、縦軸にエッティングレート(シリコンの除去厚さ／毎分)と、放電圧力Pと電極間距離Lとの積PL(単位Pa·m)との相関関係を示したものである。図2のグラフから判るように、エッティングレートは前述の積PLと相関関係があり、積PLが特定値のときに最大の値を示している。すなわち、高いエッティングレートを実現するためには、積PLが特定の範囲の値となるように放電圧力Pと電極間距離Lとの組み合わせを選定する必要がある。

【0026】たとえば、 $1.0\mu m$ (10,000オングストローム)/min.以上のエッティングレートを得ようとすれば、図2に示すように積PLの値を、 $2.5 \sim 15$ [Pa·m]の範囲となるような条件設定を行えばよいことがわかる。図3はこの条件設定に際し放電圧力Pと電極間距離Lを具体的にどのような値に設定すればよいかを示すものである。図3のグラフ中、2つの曲線は積PLが $2.5 \sim 15$ [Pa·m]の範囲となる境界を示すものである。図3のグラフ中、太線の内側のハッチング部分21で示される範囲は、良好なエッティングレートが得られる最適条件範囲を示しており、具体的には電極間距離Lが $3 \sim 7$ mmの範囲、放電圧力Pが $350 \sim 5000$ Paの範囲で条件が設定される。太線で囲まれた範囲22は、実用上使用可能な適応可能条件範囲を示しており、具体的には電極間距離Lで $2 \sim 10$ m、放電圧力Pで $833 \sim 10000$ Pa(大気圧)の範囲であれば実用上の条件として選択可能であることを示している。

【0027】図3においてグラフ中の放電圧力Pが低く電極間距離Lが大きい領域に示す範囲23は、従来のドライエッティングに用いられていたプラズマエッティング条件を示している。すなわち、従来は放電圧力Pが 100 Pa以下で、電極間距離Lが約 20 mm以上の範囲が採用されていた。そしてこのような条件下で行われるドライエッティングでは、 $0.1\mu m/min.$ 程度のエッティングレートしか得られていないかった。すなわち、本実施の形態によるプラズマエッティングによれば、従来のドライエッティングと比較して、単純なエッティングレートのみ

を比較しても10~15倍程度の効率向上が実現されている。

【0028】このプラズマエッチング装置は上記のように構成されており、以下本実施の形態のプラズマエッチング方法をSOI (Silicon On Insulator) 作製工程に用いた半導体装置の製造方法について図4を参照して説明する。SOIは、回路が形成されるシリコンを極薄膜状にしてこの薄膜の下にシリコン酸化膜を介在させたものであり、半導体装置の高速化、省電力化が実現させるという特徴を有している。

【0029】図4(a)において、まずSiウェハ30および酸化膜31aが表面に形成された酸化膜付Siウェハ31がSOIの構成材料として準備され、図4(b)に示すようにSiウェハ30上に酸化膜付Siウェハ31を貼り合わせて接合することによりSOI構造を有するシリコン基板32を作製する。次いでシリコン基板32は研磨工程に送られ、ここで図1(c)に示すように酸化膜付Siウェハ31は研磨加工されて大半が除去され、ウェハ30上には酸化膜31aを含んで約20μm程度の膜厚t1のみが残留する。SOIの機能上酸化膜31aのシリコン膜は1μm程度の極薄膜であることが求められるため、この膜厚までシリコン膜を削る微細加工処理をプラズマエッチングにより行う。

【0030】研磨加工後のウェハ30は図1に示すプラズマエッチング装置に送られ、処理室5内に下部電極3上に載置される。ここで、前述のように放電圧力Pと電極間距離Lとの積が2.5~15 [Pa·m] の範囲の値となるように電極間距離Lや放電圧力Pなどのプラズマエッチング条件が選定され、この条件下で所定時間プラズマエッチング処理を行うことにより、図4(d)に示すように酸化膜31a上のシリコンは約1μm程度の膜厚t2に薄膜化される。そしてこのシリコンの薄膜上に、図4(e)に示すようにトランジスタなどの回路33が形成され、その後ダイシング工程にて個片チップにカットされてSOI構造の半導体装置が完成する。

【0031】(実施の形態2) 図5は本発明の実施の形態2の半導体装置の製造方法の工程説明図である。本実施の形態2は、シリコン基板の表面に回路を形成した後に、このシリコン基板の回路形成面の裏面を研磨して薄化する工程において、実施の形態1に示すプラズマエッチングを行うものである。

【0032】図5(a)において、40はSiウェハであり、Siウェハ40の表面には図5(b)に示すように回路41が形成される。次いで図5(c)に示すように、回路41を覆って保護樹脂が貼付けられ保護膜42が形成される。この後Siウェハ40は研磨工程に送られ、ここでSiウェハ40は回路形成面の裏面が研磨加工され、薄化処理される。この研磨加工において、研磨加工面の表層には加工歪層43が残留する。加工歪層43は研磨加工時の機械的外力によりシリコン表面に発生

した応力や微細なクラックが残留したものであり、半導体装置完成後の強度を損なうため除去する必要がある。

【0033】この加工歪層除去は、実施の形態1に示すプラズマエッチングにより行われる。Siウェハ40は図1に示すプラズマエッチング装置の処理室5内に載置され、実施の形態1と同様のプラズマエッチング条件、すなわち放電圧力Pと電極間距離Lの積PLの値が2.5~15 [Pa·m] の範囲の値となるように条件設定が行われる。これにより図5(e)に示すように加工歪層43が除去されると同時に、除去後のSiウェハ40の下面はより平滑に仕上げられ、応力集中による形状的な強度低下のないSiウェハ40を得ることができる。このとき、図1に示すように下部電極3は冷却装置14によって冷却されているため、既にSiウェハ40に形成された回路41が過熱されて損傷する事がない。

【0034】この後、図5(f)に示すようにSiウェハ40の表面の保護膜42が除去され、次いで図5(g)に示すようにダイシング工程に送られて個片の半導体装置44にカットされて半導体装置の製造工程を完了する。

【0035】上記実施の形態1, 2で示すように、本発明は酸素とフッ素ガスを用いたプラズマエッチング処理において、放電圧力Pと電極間距離Lとの積PLが、2.5~15 [Pa·m] の範囲の値となるようにプラズマエッチング条件を設定するものである。このような条件設定とすることにより、以下に述べるような優れた効果を得ることができる。

【0036】まず、従来のプラズマによるドライエッチングと比較して低真密度(高圧力)で処理を行うようとしているためエッチングに寄与する粒子密度が高く、従って高いエッチングレートを実現することができる。また処理室内を高真密度に排気する必要がないことから真空排気および真空破壊時の大気導入時間を短縮することができ、前述のエッチングレート向上の効果と相まって、プラズマエッチング処理全体のタクトタイムを従来方法と比較して大幅に短縮し、従来方法の約100倍にも達する効率向上が実現される。

【0037】また高真密度を必要としないことから、プラズマエッチング装置の真空ポンプなど真空系の構成を簡素化することができる。さらに、同様の理由により処理室内において基板を保持する際に、処理室内の圧力と真空吸着用の吸引圧力との差圧を容易に確保することができるため、真空吸着によって基板を簡略な方法で保持することができる。従って、プラズマエッチング装置の機構簡略化、低コスト化が実現される。また従来行われていた薬液を使用してエッチングを行うウエットエッチングと比較した場合においても、高効率、低コストであり、更に廃液の排出がなく環境汚染のおそれがないことなど、優れた特徴を有している。

【0038】また、品質面においても上記条件では、電

極間距離が従来と比較して狭く設定されるため、電極間で発生するプラズマの分布は均一となり、基板のどの位置においても均一なエッチング効果を得ることができ、ばらつきのない安定した品質を確保できる。

【0039】

【発明の効果】本発明によれば、半導体装置の製造工程においてシリコン基板の薄化の目的で行われるプラズマエッチングにおいて、平行平板電極間の距離と処理室内の混合ガスの圧力との積がエッチング率を向上させる所定範囲の値となるようにエッチング条件を設定するようにしたので、低コスト・高効率のエッチングを行って半導体装置のコストダウンを図ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のプラズマエッチング装置の断面図

【図2】本発明の実施の形態1のプラズマエッチング装置のエッチングレートを示すグラフ

【図3】本発明の実施の形態1のプラズマエッチング条件を示すグラフ

【図4】(a) 本発明の実施の形態1の半導体装置の製造方法の工程説明図

(b) 本発明の実施の形態1の半導体装置の製造方法の工程説明図

(c) 本発明の実施の形態1の半導体装置の製造方法の工程説明図

(d) 本発明の実施の形態1の半導体装置の製造方法の工程説明図

(e) 本発明の実施の形態1の半導体装置の製造方法の工程説明図

【図5】(a) 本発明の実施の形態2の半導体装置の製造方法の工程説明図

(b) 本発明の実施の形態2の半導体装置の製造方法の工程説明図

(c) 本発明の実施の形態2の半導体装置の製造方法の工程説明図

(d) 本発明の実施の形態2の半導体装置の製造方法の工程説明図

(e) 本発明の実施の形態2の半導体装置の製造方法の工程説明図

(f) 本発明の実施の形態2の半導体装置の製造方法の工程説明図

(g) 本発明の実施の形態2の半導体装置の製造方法の工程説明図

【符号の説明】

3 下部電極

5 処理室

6 上部電極

7 基板

10 ガス供給部

13 基板吸着用真空ポンプ

14 冷却装置

15 高周波電源部

16 排気用真空ポンプ

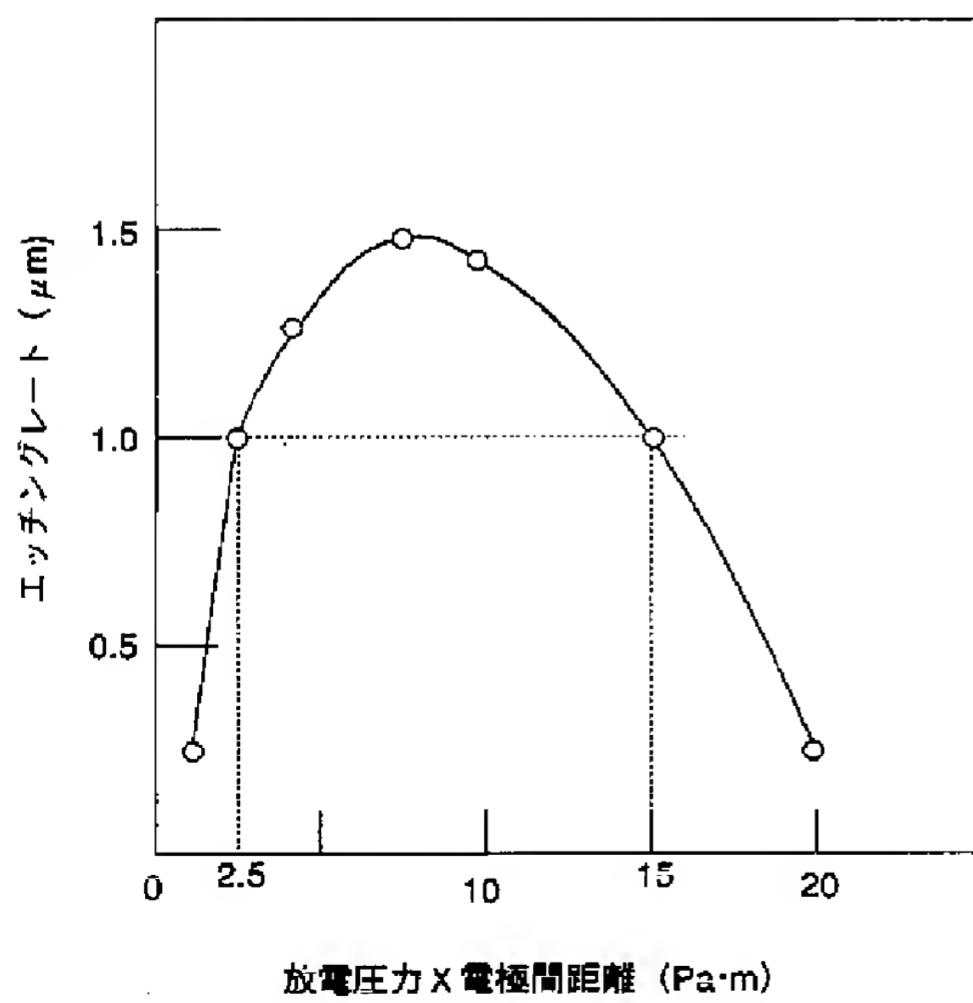
20 制御部

30 Siウェハ

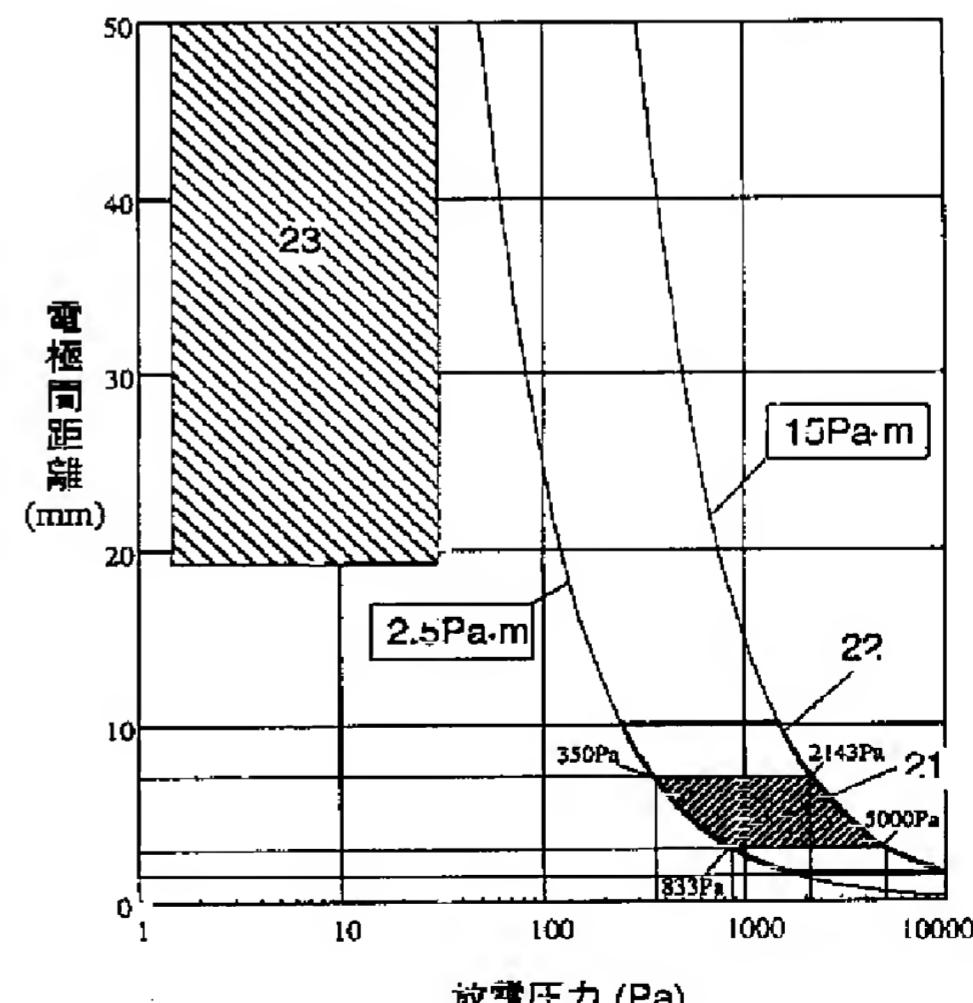
31 酸化膜付Siウェハ

40 Siウェハ

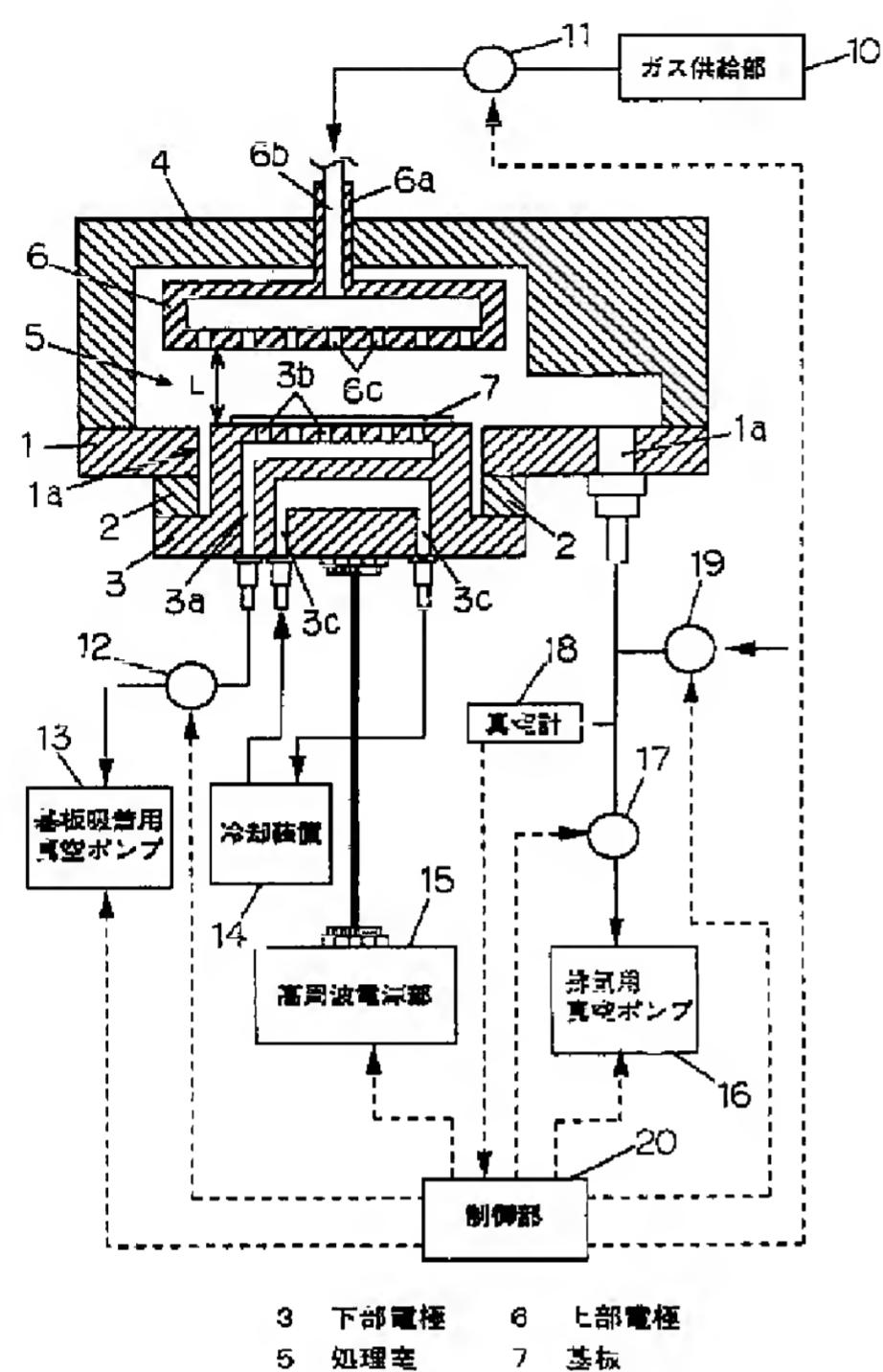
【図2】



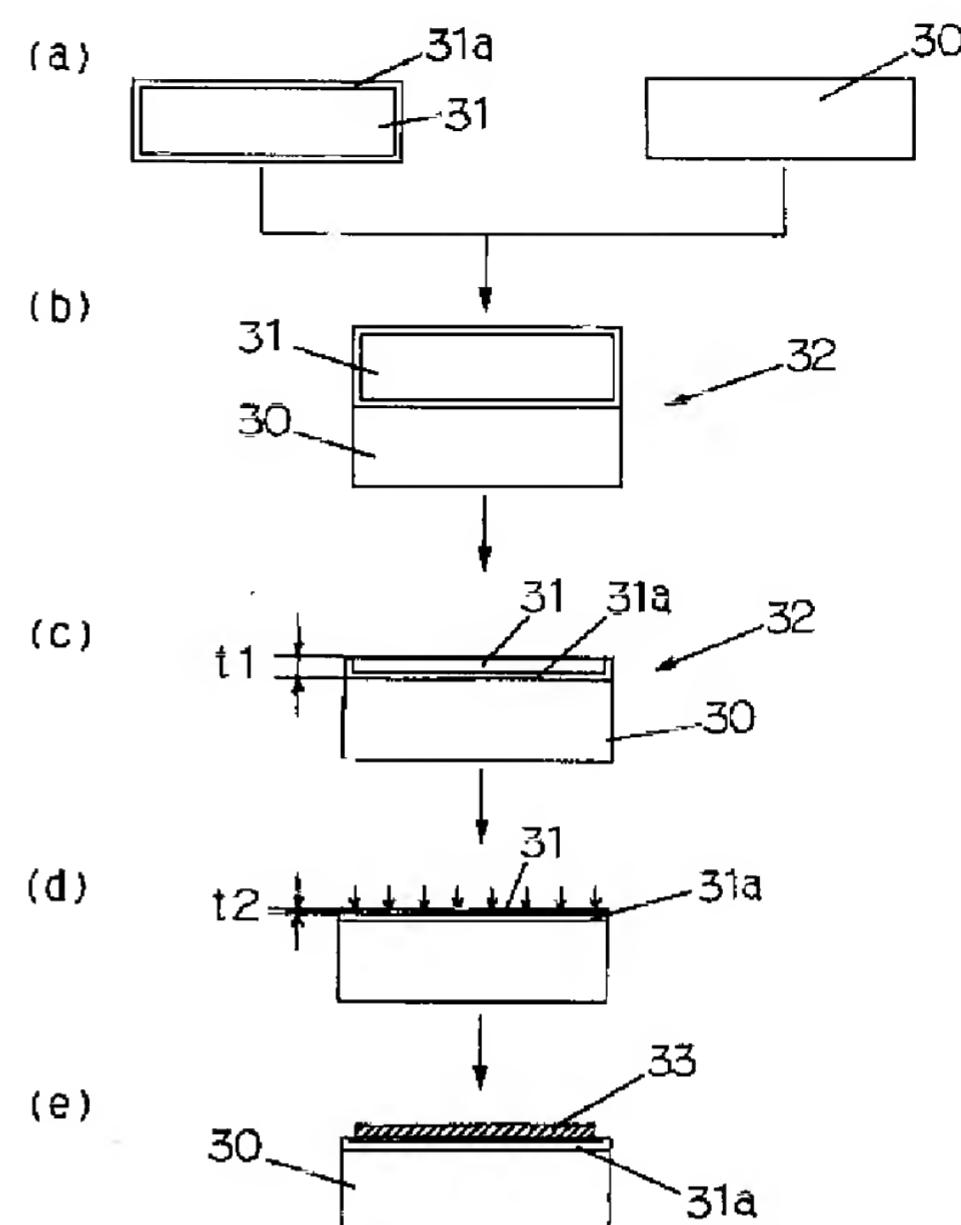
【図3】



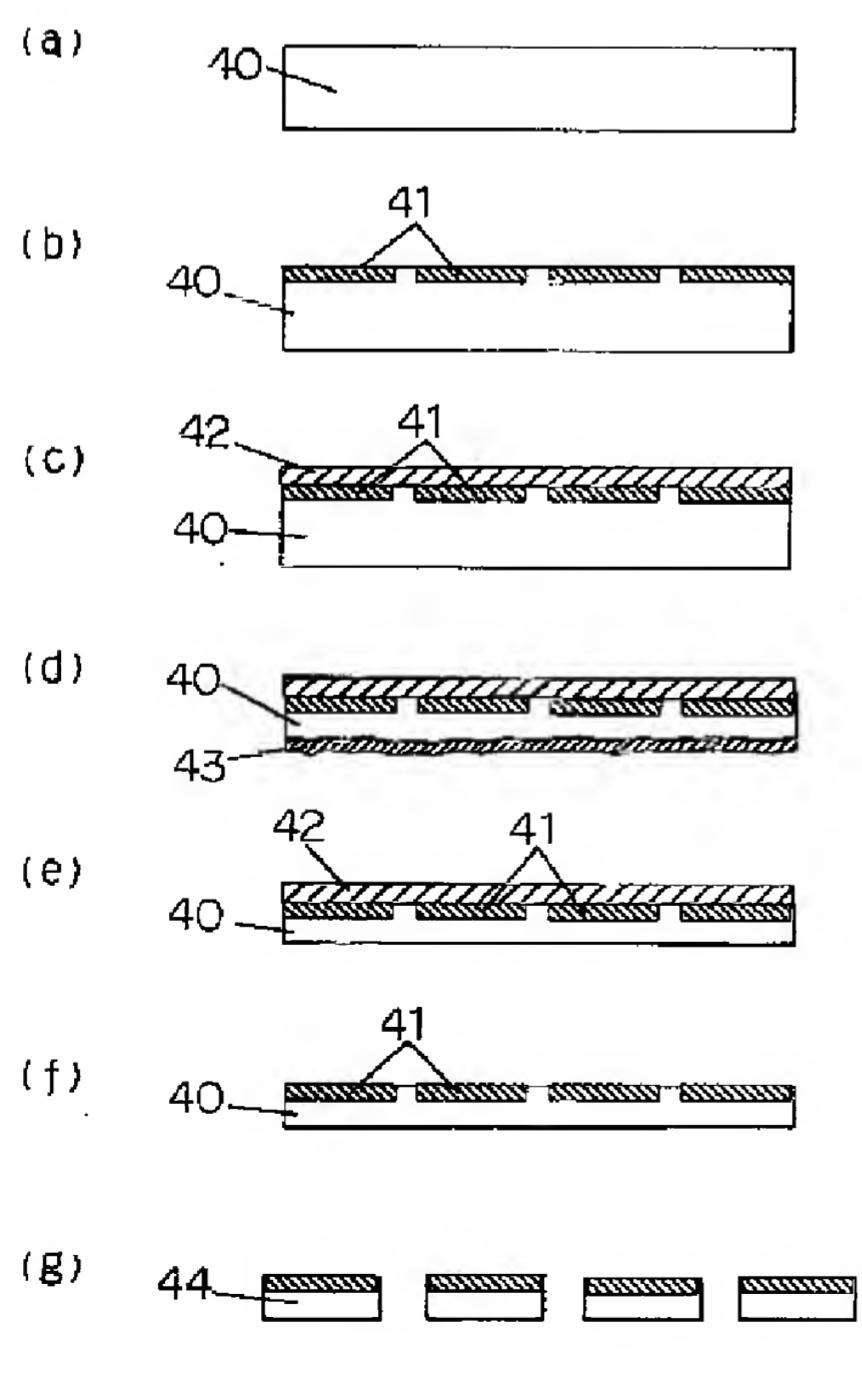
【図1】



【図4】



【図5】



!(8) 000-173994 (P2000-173994A)

フロントページの続き

F ターム(参考) 4K057 DA18 DA20 DB06 DD03 DE06
DE08 DE20 DG07 DG08 DG12
DG13 DG16 DM02 DM03 DM08
DN01
5F004 AA16 BA04 BA07 BA09 BB11
BB18 BB21 BB25 BB28 CA02
CA06 CA09 DA00 DA01 DA02
DA03 DA15 DA16 DA17 DA18
DA19 DA20 DA26 DB01 EB08